

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H04J 13/02

H04B 1/40

[12] 发明专利申请公开说明书

[21] 申请号 00135066.8

[43] 公开日 2001 年 7 月 25 日

[11] 公开号 CN 1305281A

[22] 申请日 2000.12.14 [21] 申请号 00135066.8

[30] 优先权

[32] 1999.12.15 [33] JP [31] 355375/1999

[71] 申请人 日本电气株式会社

地址 日本东京都

[72] 发明人 平田胜

[74] 专利代理机构 中国专利代理(香港)有限公司

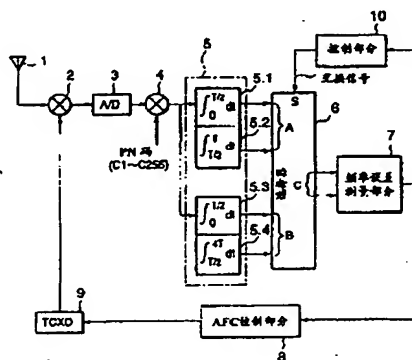
代理人 邹光新 傅康

权利要求书 2 页 说明书 7 页 附图页数 10 页

[54] 发明名称 移动通信系统中的自动频率控制的控制装置和方法及采用该装置和方法的移动通信设备

[57] 摘要

移动通信设备中的 AFC 控制装置,包括一个解扩单元,第一积分器和控制部分。解扩部分解扩接收信号。第一积分器积分通过接收信号的导频信道中的导频符号的 N 个(N 为不小于 2 的数)连续第一符号和继该 N 个第一符号的连续的 N 个第二符号,并产生第一和第二积分输出。控制部分检测在第一和第二积分输出之间的任何相移量并根据检测到相移量控制本振信号的频率。并公开了 AFC 控制方法和具有上述装置的移动通信设备。



ISSN 1008-4274

知识产权出版社出版

现参阅附图描述本发明的最佳实施例。

图7是本发明的实施例的示意结构的方框图。示于现有技术图9中的同样的参考数字在图7表示同样的部件。天线1接收从基站(未显示)发送的数据信号。混频器2除去接收信号中的载波以获得一个基带信号。
5 一个A/D变换器3将该基带信号转换成数字信号。扩频部分4将数字信号与用作为扩频码的PN码C1-C256(对扩频速率为256)相乘,由此获得扩频信号。

这些扩频信号被送到积分器积分被扩频的符号数据。积分器5包括四个积分器5.1-5.4。积分器5.1和5.2计算一个符号的前半部分
10 (0-T/2)和后半部分(T/2-T)的积分,积分器5.3和5.4计算继第一两个连续符号的两个连续符号(0-2T)和两个符号(2T-4T)的积分。要积分的符号是显示在图5格式中公共导频信号的导频符号。

积分器5.1和5.2的积分输出被送到选择器6的A侧输入端。从积分器5.3和5.4输出的另一对积分输出被输入到选择器6的B侧输入
15 端。A或B侧输入信号根据交换信号出现在选择器6的一对输出端C。一对选择器输出信号被加到频率误差测量部分7来计算频率误差。通过一个AFC控制部分8,频率误差变成为一个TCXO 9的控制信号用来产生一个本振信号。频率误差测量部分7的测量值也被输入端一个控制部分
20 10并预先输入的一个预定的门限值相比较。根据比较结果转换选择器6。

图8是一个显示图7的解扩部分4和积分器5的详细结构的方框图。与在图6中的参考数字相同的数字标指相同的部件。解扩部分4的结构与图6相同。加法器52输出一个符号内的前半部分(0-T/2),加法
25 器53则输出后半部分(T/2-T)。将这些积分输出输入到选择器6的A侧输入端。

加法器54相加这些积分器输出,加法器54的输出被一个锁存电路55锁存,锁存器的时钟有一个符号周期的时钟作为一个锁存定时,由此
30 获得一个符号数据(0-T)的积分。过去一个周期T之后,从加法器54的输出是下一个符号数据(T-2T)的积分。从锁存电路55和加法器54的两个输出被加法器56相加从而和一个两个连续符号数据(0-2T)积分。锁存电路57配置得有一个2T周期长的锁存定时。加法器56输出被输入到锁存锁存电路57。0到2T和2T-4T的积分分别出现在加法器56和锁

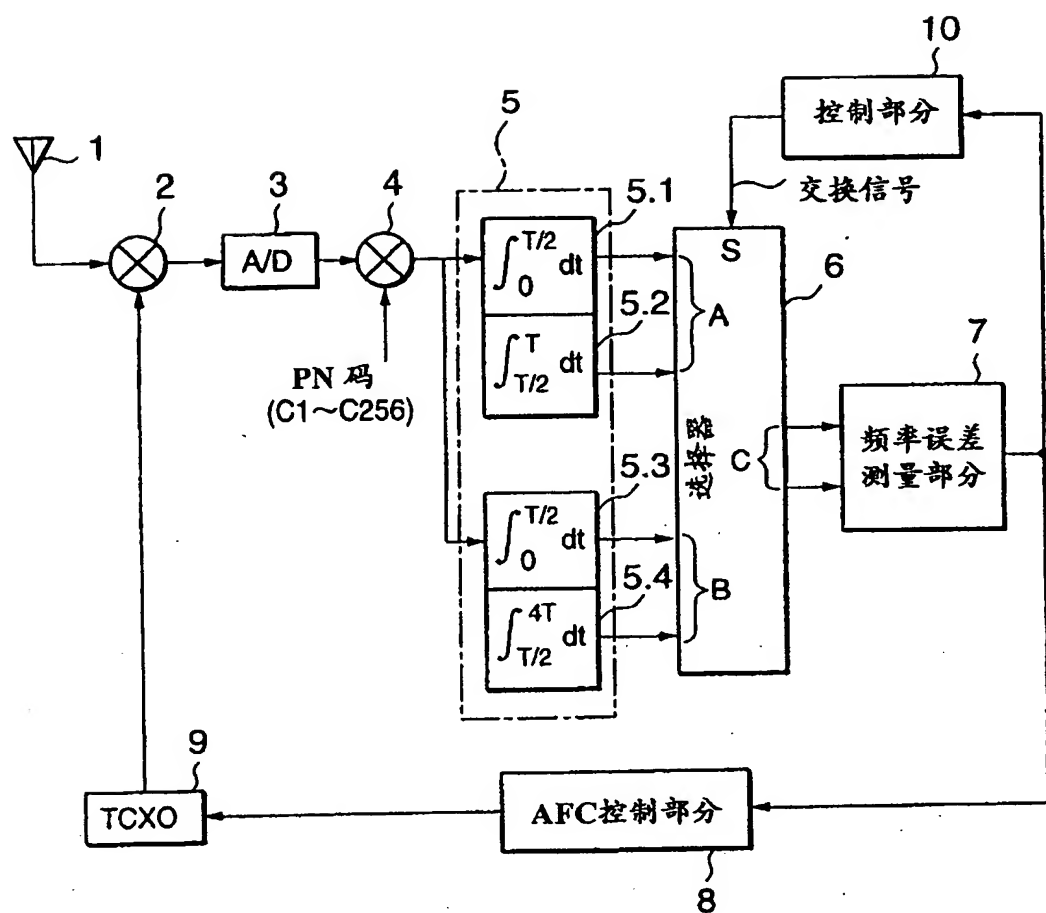


图 7

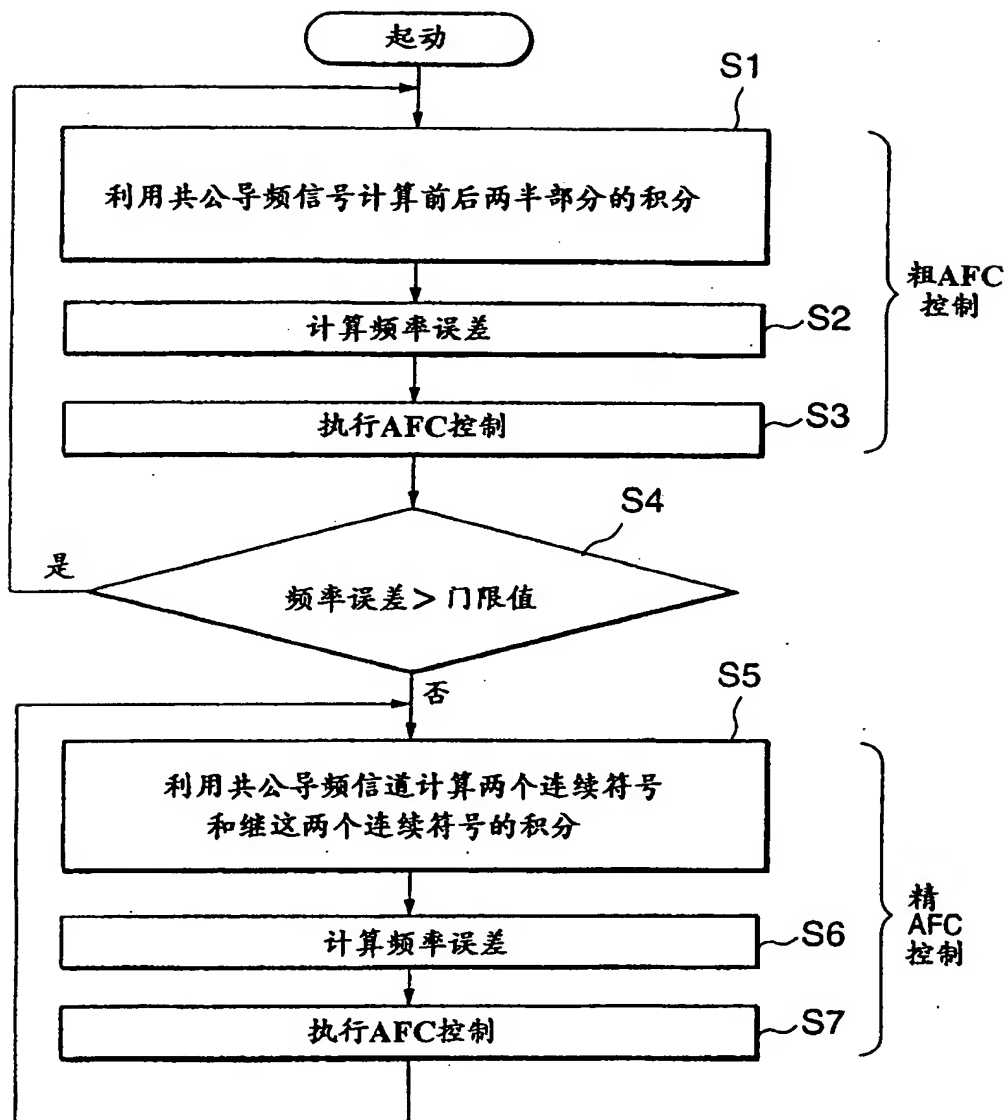


图 9

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83360

(43) 公開日 平成9年(1997)3月28日

(51) Int. Cl.⁶

H03L 7/14

識別記号

片内整理番号

P I

H03L 7/14

技術表示箇所

A

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平7-237324

(22) 出願日 平成7年(1995)9月14日

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 深沢 一希

東京都千代田区丸の内二丁目1番2号 日

立電線株式会社内

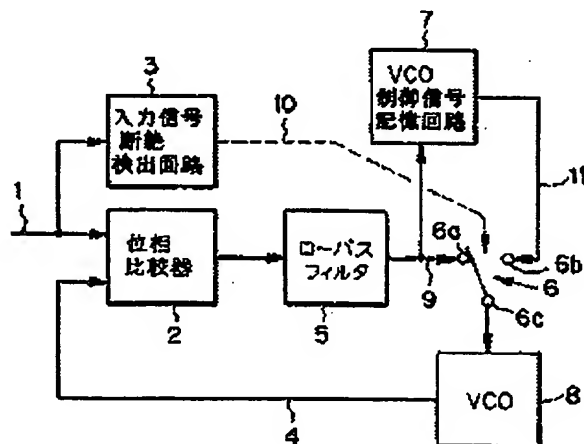
(74) 代理人 弁理士 平田 忠雄

(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 入力信号が連続に入力されずに断絶すると直ぐに同期が外れ、システムダウンが生じる。

【解決手段】 入力信号1とVCO出力信号4の位相差が位相比較器2でとられ、その出力信号中の不要分がローパスフィルタ5で除去され、このフィルタの出力信号に対して入力信号1に対する位相(周波数)をVCO8で変化させるPLL回路にあって、ローパスフィルタ5からの一定期間におけるVCO制御信号9をVCO制御信号記憶回路7で記憶し、又、入力信号1の断絶を入力信号断絶検出回路3により検出する。その入力信号断絶検出時にVCO制御信号切替えスイッチ6を切替え、VCO制御信号記憶回路7に記憶していた信号をVCO8に印加する。これにより、入力信号の断絶による同期外れが低減される。



【特許請求の範囲】

【請求項1】 入力電圧に応じて出力周波数に変化する電圧制御発振器（VCO）と、この電圧制御発振器の出力と入力信号の位相又は周波数のずれを検出する位相比較器と、この位相比較器の出力信号又はこの出力信号に応じた電圧信号を前記電圧制御発振器へ印加する電圧印加手段を含むPLL回路において、前記入力信号が断絶したことを検出する入力信号断絶検出手段と、

前記位相比較器の出力信号又はこの出力信号に応じた電圧信号を記憶する記憶手段と、

前記入力信号断絶検出手段が前記入力信号の断絶を検出したときに前記記憶手段に記憶された信号を前記入力電圧として前記電圧制御発振器へ印加する切替え手段とを具備することを特徴とするPLL回路。

【請求項2】 入力電圧に応じて出力周波数に変化する電圧制御発振器（VCO）と、この電圧制御発振器の出力と入力信号の位相又は周波数のずれを検出する位相比較器と、この位相比較器の出力信号又はこの出力信号に応じた電圧信号を前記電圧制御発振器へ印加する電圧印加手段を含むPLL回路において、前記入力信号が断絶したことを検出する入力信号断絶検出手段と、

前記位相比較器の出力信号又はこの出力信号に応じた電圧信号の平均値を記憶する記憶手段と、

前記入力信号断絶検出手段が入力信号の断絶を検出したときに前記記憶手段に記憶された信号を前記入力電圧として前記電圧制御発振器へ印加する切替え手段とを具備することを特徴とするPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通信機器や映像機器等における同期、選局、復調等に用いられるPLL（Phase Locked Loop：フェーズ ロックド ループ）回路に関するものである。

【0002】

【従来の技術】図2は従来のPLL回路の一例を示すブロック図である。入力信号21（基準信号）とVCO（Voltage controlled oscillator：電圧制御発振器）出力信号22の周波数（又は位相）ずれを検出するために位相比較器23が設けられている。この位相比較器23には、ローパスフィルタ24（ループフィルタ）が接続されている。更に、ローパスフィルタ24にはVCO（電圧制御発振器）25が接続されている。

【0003】図2の構成においては、入力信号21とVCO出力信号22の位相差が位相比較器23によって求められ、この出力信号がローパスフィルタ24に輸入される。ローパスフィルタ24から出力されるVCO制御信号26に対し、この電圧値に応じてVCO25は周波数を変化させ、VCO25の出力信号の位相は入力信号

21の位相にロックされる。

【0004】この種の従来のPLL回路は、例えば、特開昭57-60738号公報（VCOを2個設け、一方で分周比を決定し、他方で被位相比較信号を生成し、可変分周器が断続的に切断された場合でも切断前の周波数を維持できるようにした構成）及び実開昭63-165930号公報（電源制限回路をVCOと並列に設け、ロック時に電源制限回路をVCOから切り離す構成）に示されている。

【0005】

【発明が解決しようとする課題】しかし、従来のPLL回路によると、入力信号21が入らなくなると、位相比較器23から出力される位相差信号が大きくなり、VCO制御信号26は入力信号21が入っていた時の値からのずれが大きくなり、VCO出力信号22の位相と入力信号21の位相のずれが大きくなる。つまり、入力信号21が断絶すると、すぐに同期が外れるという問題がある。

【0006】そこで本発明は、入力信号が一時的に輸入されなかった場合でも、同期外れを起こり難くすることのできるPLL回路を提供することを目的としている。

【0007】

【課題を解決するための手段】上記の目的を達成するために、この発明は、入力電圧に応じて出力周波数に変化する電圧制御発振器（VCO）と、この電圧制御発振器の出力と入力信号の位相又は周波数のずれを検出する位相比較器と、この位相比較器の出力信号又はこの出力信号に応じた電圧信号を前記電圧制御発振器へ印加する電圧印加手段を含むPLL回路において、前記入力信号が断絶したことを検出する入力信号断絶検出手段と、前記位相比較器の出力信号又はこの出力信号に応じた電圧信号を記憶する記憶手段と、前記入力信号断絶検出手段が前記入力信号の断絶を検出したときに前記記憶手段に記憶された信号を前記入力電圧として前記電圧制御発振器へ印加する切替え手段とを具備する構成にしている。

【0008】この構成によれば、電圧制御発振器に輸入される最新の信号が記憶手段に記憶される。そして、電圧制御発振器に印加している入力信号が断絶した時、この入力信号に代えて記憶手段から読み出した信号が電圧制御発振器に印加される。したがって、入力信号の断絶による同期外れを低減することができ、かつ、安価に構成することができる。

【0009】また、上記の目的は、入力電圧に応じて出力周波数に変化する電圧制御発振器（VCO）と、この電圧制御発振器の出力と入力信号の位相又は周波数のずれを検出する位相比較器と、この位相比較器の出力信号又はこの出力信号に応じた電圧信号を前記電圧制御発振器へ印加する電圧印加手段を含むPLL回路において、前記入力信号が断絶したことを検出する入力信号断絶検出手段と、前記位相比較器の出力信号又はこの出力信号

10

20

30

40

50

に応じた電圧信号の平均値を記憶する記憶手段と、前記入力信号断絶検出手段が入力信号の断絶を検出したときに前記記憶手段に記憶された信号を前記入力電圧として前記電圧制御発振器へ印加する切替え手段とを備える構成によっても達成される。

【0010】この構成によれば、電圧制御発振器に入力される信号に対し、現時点より以前の所定期間におけるVCO制御用の信号の平均値がとられ、この平均値が記憶手段に記憶される。したがって、入力信号の断絶による同期外れを低減することができ、かつ、安価に構成することができる。

【0011】

【発明の実施の形態】図1は本発明によるPLL回路の一実施の形態を示すブロック図である。入力信号1は位相比較器2及び入力信号断絶検出回路3に入力される。位相比較器2には、更に、VCO出力信号4が入力される。位相比較器2にはローパスフィルタ5が接続され、このローパスフィルタ5にはVCO制御信号切替えスイッチ6の一方の入力端子6a及びVCO制御信号記憶回路7の入力端子が接続されている。更に、VCO制御信号切替えスイッチ6の一方の入力端子6bはVCO制御信号記憶回路7の出力端子に接続され、VCO制御信号切替えスイッチ6の出力端子6cはVCO8に接続されている。このVCO8の出力端子からVCO出力信号4が出力され、位相比較器2に印加される。VCO制御信号切替えスイッチ6はリレー等の機械部分を含む構成でもよいし、半導体回路による電子式のスイッチを用いることもできる。

【0012】次に、以上の構成における動作について説明する。まず、位相比較器2によって入力信号1とVCO出力信号4の位相差が検出される。位相比較器2によって得られた位相差信号は、ローパスフィルタ5に入力し、ローパスフィルタ5はVCO制御信号9を出力する。VCO制御信号9はVCO制御信号切替えスイッチ6を経由してVCO8に印加され、このVCO8によってVCO出力信号4が入力信号1の位相（周波数）に等しくなるように制御される。

【0013】以上の動作の過程で、ローパスフィルタ5より出力されるVCO制御信号9はVCO制御信号記憶回路7に記憶される。VCO制御信号記憶回路7に記憶されるVCO制御信号9は、現時点から過去の或る期間までであり、この期間より以前の古い信号は順に消去される。つまり、常に現時点より以前の一定期間までのVCO制御信号9がVCO制御信号記憶回路7に記憶される。

【0014】ここで、入力信号1が断絶した場合、この状況は入力信号断絶検出回路3で検出され、VCO制御信号10を出力する。このVCO制御信号10の発生に連動してVCO制御信号切替えスイッチ6が動作し、接点6aから接点6bに切替えられる。この切替えによ

り、VCO8にはローパスフィルタ5から出力されるVCO制御信号9に代え、VCO制御信号記憶回路7に記憶してあるVCO制御信号11が入力電圧として印加される。そこで、VCO8は、VCO制御信号11を入力して制御を実行し、同期を継続させる。

【0015】なお、図1においては、ローパスフィルタ5から出力されるVCO制御信号9をVCO制御信号記憶回路7に一定量ずつ記憶させ、この内容を記憶が進むごとに順次更新する構成にしたが、VCO制御信号9の或る期間の平均を求め、この値を記憶する構成にしてもよい。ところで、複数の装置の同期をPLL回路で行うシステムの場合、PLL回路の入力信号が一時的に断絶した場合、直ぐに同期が外れ、システムダウンが生じる。このため、従来は、高信頼性が要求されるシステムには、PLL回路を用いることができなかった。しかし、本発明を採用することにより、入力信号が一時的に途絶えた場合でもシステムダウンは生ぜず、PLL回路を採用することが可能になる。

【0016】

【発明の効果】以上より明らかな如く、本発明によれば、入力信号が断絶したことを入力信号断絶検出手段で検出し、位相比較器の出力信号又はこの出力信号に基づく信号を記憶手段で記憶し、前記入力信号断絶検出手段が入力信号の断絶を検出したときに前記記憶手段に記憶された信号を切替え手段により前記電圧制御発振器へ入力として印加する構成にしたので、入力信号の断絶による同期外れを低減することができ、かつ、安価に構成することができる。

【0017】特に、複数の装置の同期をPLL回路で行うシステムに採用した場合、システムダウンを大幅に低減したシステムを構築することができる。また、本発明の他の構成によれば、入力信号が断絶したことを入力信号断絶検出手段で検出し、位相比較器の出力信号又はこの出力信号に応じた電圧信号の平均値を記憶手段で記憶し、前記入力信号断絶検出手段が入力信号の断絶を検出したときに前記記憶手段に記憶された信号を切替え手段により前記電圧制御発振器へ入力として印加するようにしたので、入力信号の断絶による同期外れを低減することができ、かつ、安価に構成することができる。

【図面の簡単な説明】

【図1】本発明によるPLL回路の一実施の形態を示すブロック図である。

【図2】従来のPLL回路の一例を示すブロック図である。

【符号の説明】

- 1 入力信号
- 2 位相比較器
- 3 入力信号断絶検出回路
- 5 ローパスフィルタ
- 6 VCO制御信号切替えスイッチ

(4)

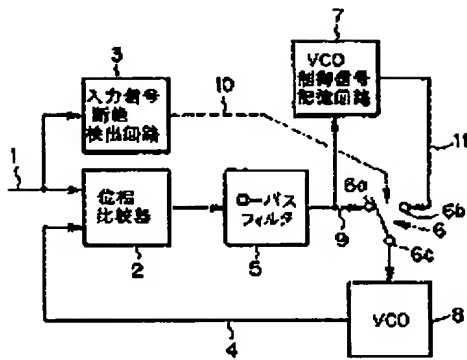
特開平9-83360

- 5
7 VCO制御信号記憶回路
8 VCO

* 9、11 VCO制御信号

*

【図1】



【図2】

